

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-500887

(43) 公表日 平成11年(1999) 1月19日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 M 7/14

H 0 3 M 7/14

B

H 0 4 L 25/49

H 0 4 L 25/49

A

審査請求 有 予備審査請求 有 (全 50 頁)

(21) 出願番号 特願平9-514353
 (86) (22) 出願日 平成8年(1996) 9月30日
 (85) 翻訳文提出日 平成10年(1998) 4月6日
 (86) 国際出願番号 PCT/US96/15661
 (87) 国際公開番号 WO97/13347
 (87) 国際公開日 平成9年(1997) 4月10日
 (31) 優先権主張番号 08/539, 816
 (32) 優先日 1995年10月5日
 (33) 優先権主張国 米国 (US)

(71) 出願人 シリコン・イメージ、インコーポレイテッド
 アメリカ合衆国カリフォルニア州95014,
 クバチーノ、ボブ・ロード・10131
 (72) 発明者 シン、イエシク
 大韓民国ソウル156-034, 16/3・ドンヤ
 クーク、サンド・4・ドン, 244-303
 (72) 発明者 リー、キェオンホ
 大韓民国ソウル、サンスードン・マボ・
 グ, 93-102
 (74) 代理人 弁理士 古谷 馨 (外2名)

最終頁に続く

(54) 【発明の名称】 遷移制御されたデジタルエンコード及び信号伝送システム

(57) 【要約】

データバイトの入力シーケンスから、遷移制御された、直流平衡文字シーケンスを生成するための方法及び装置がここに開示される。各々のデータバイト内のビットは、各データバイトにおける論理遷移の数に従って選択的に補数を取られ、かくして選択的に補数の取られたデータブロックが生成される。次いで、先に文字へとエンコードされた、選択的に補数の取られたデータブロックの論理値の中に含まれる、異なる種類の論理値の間における、累積的デイスパリティが決定される。加えて、選択的に補数の取られたデータブロックの現在エンコードされつつあるブロックと関連する、候補文字における現在のデイスパリティも決定される。現在のデイスパリティが、累積的デイスパリティの第一の極性と反対の極性である場合、候補文字は、選択的に補数の取られたデータブロックの現在のブロックに割り当てられる。或いは、現在のデイスパリティが第一の極性である場合は、この候補文字の補数が、選択的に補数の取られたデータブロックの現在のブロックに割り当てられる。高遷移動作モードにおいては、最小数未満の論理遷移を含むデー

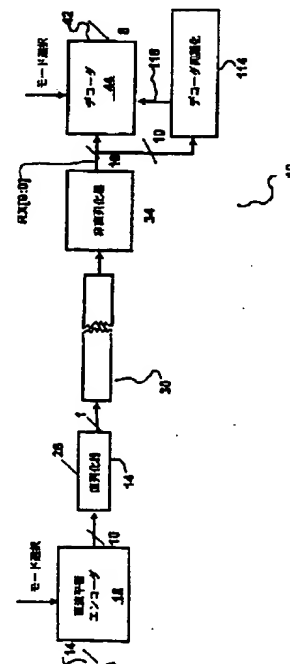


FIG. 1

BEST AVAILABLE COPY

【特許請求の範囲】

1. 8ビットのデータブロックの入力シーケンスから、文字の直流平衡シーケンスを生成するための方法であって、

前記8ビットのデータブロックの各々における論理遷移の数に応じて前記8ビットのデータブロックのビットの補数を選択的に取り、選択的に補数の取られたデータブロックを生成するステップと、

先に前記文字の論理値へとエンコードされた、前記選択的に補数の取られたデータブロックの論理値の中に含まれる、異なる種類の論理値の数における、累積的デイスパリティを決定するステップと、

エンコードされつつある前記選択的に補数の取られたデータブロックの現在のブロックに関連する、候補文字における現在のデイスパリティを決定するステップと、及び

前記現在のデイスパリティが前記累積的デイスパリティの第一の極性と反対の極性である場合に、前記候補文字を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当て、前記現在のデイスパリティが前記第一の極性である場合に、前記候補文字の補数を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当てるステップとからなる方法。

2. 補数を選択的に取る前記ステップが、前記論理遷移を所定数未満有する前記8ビットのデータブロックの前記ビットの所定ビットの補数を選択的に取るステップを含む、請求項1の方法。

3. 補数を選択的に取る前記ステップが、前記論理遷移を所定数以上有する前記8ビットのデータブロックの前記ビットの所定ビットの補数を選択的に取るステップを含む、請求項1の方法。

4. 前記候補文字に関連する現在の8ビットのデータブロックが所定数未満の遷移を有する場合に、前記候補文字の所定ビットを第一の論理値にセットし、他の場合に前記所定ビットを前記第一の論理値の補数にセットするステップをさらに含む、請求項1の方法。

5. 前記候補文字に関連する現在の8ビットのデータブロックが所定数以上の遷移を有する場合に、前記候補文字の所定ビットを第一の論理値にセットし、他

の場合に前記所定ビットを前記第一の論理値の補数にセットするステップをさらに含む、請求項1の方法。

6. 前記選択的に補数の取られたデータブロックの一つに割り当てられた文字の各々における所定のビットの論理値が、前記選択的に補数の取られたデータブロックに対して候補文字又はその補数が割り当てられたか否かを示す、請求項1の方法。

7. 候補文字における現在のディスパリティを決定する前記ステップが、前記候補文字のビットに対して論理分析を実行するステップを含む、請求項1の方法。

8. 前記8ビットのデータブロックのうち所定数未満の論理遷移を有する特定のデータブロックに特殊文字の表示を割り当てるステップをさらに含み、前記特殊文字が前記特殊文字のデータブロックに対応しない前記8ビットのデータブロックのデータブロックと別個に符号化される、請求項1の方法。

9. 8ビットのデータブロックの入力シーケンスから、文字の直流平衡シーケンスを生成するための2進データ符号化装置であって、

前記8ビットのデータブロックの各々における論理遷移の数に応じて前記8ビットのデータブロックのビットの補数を選択的に取り、選択的に補数の取られたデータブロックを生成する手段と、

先に前記文字の論理値へとエンコードされた、前記選択的に補数の取られたデータブロックの論理値の中に含まれる、異なる種類の論理値の数における、累積的ディスパリティを決定する手段と、

エンコードされつつある前記選択的に補数の取られたデータブロックの現在のブロックと関連する、候補文字における現在のディスパリティを決定する手段と、及び

前記現在のディスパリティが前記累積的ディスパリティの第一の極性と反対の極性である場合に、前記候補文字を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当て、前記現在のディスパリティが前記第一の極性である場合に、前記候補文字の補数を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当てる手段とからなる、2進データ符号化装置

。

10. 補数を選択的に取る前記手段が、前記論理遷移を所定数未満有する前記8ビットのデータブロックの前記ビットの所定ビットの補数を選択的に取る手段を含む、請求項9の2進データ符号化装置。
11. 補数を選択的に取る前記手段が、前記論理遷移を所定数以上有する前記8ビットのデータブロックの前記ビットの所定ビットの補数を選択的に取る手段を含む、請求項9の2進データ符号化装置。
12. 前記現在の8ビットのデータブロックが所定数未満の遷移を有する場合に、前記候補文字の所定ビットを第一の論理値にセットする手段と、他の場合に前記所定ビットを前記第一の論理値の補数にセットする手段をさらに含む、請求項9の2進データ符号化装置。
13. 前記現在の8ビットのデータブロックが所定数以上の遷移を有する場合に、前記候補文字の所定ビットを第一の論理値にセットする手段と、他の場合に前記所定ビットを前記第一の論理値の補数にセットする手段をさらに含む、請求項9の2進データ符号化装置。
14. 前記選択的に補数の取られたデータブロックの一つに割り当てられた文字の各々における所定のビットの論理値が、前記選択的に補数の取られたデータブロックに対して候補文字又はその補数が割り当てられたか否かを示す、請求項9の2進データ符号化装置。
15. 候補文字における現在のデイスパリティを決定する前記手段が、前記候補文字のビットに対して論理分析を実行する手段を含む、請求項9の2進データ符号化装置。
16. 前記8ビットのデータブロックのうち所定数未満の論理遷移を有する特定のデータブロックに特殊文字の表示を割り当て、前記特殊文字のデータブロックに対応しない前記8ビットのデータブロックのデータブロックと別個に前記特殊文字を符号化する手段をさらに含む、請求項9の2進データ符号化装置。
17. デジタル入力データをデータ文字にエンコードし、制御データを制御文字にエンコードする手段と、前記データ文字の各々が第一の範囲内において第一の複数の論理遷移を有し、前記制御文字の各々が前記第一の範囲と異なる第二の範囲内において第二の複数の論理遷移を有することと、

前記データ文字及び前記制御文字をシリアルデータストリームに変換し、前記シリアルデータストリームを通信リンクを介して伝送する手段と、

前記通信リンクから前記シリアルデータストリームを受信し、受信したデータ文字及び制御文字をそこから回復する手段と、及び

前記受信した制御文字及び前記受信したデータ文字において検出された論理遷移の数に基づいて、前記受信した制御文字を前記受信したデータ文字から分離し、前記受信したデータ文字と前記受信した制御文字を復号するための手段、
とからなる高速デジタル信号伝送システム。

18. 前記エンコードする手段がさらに、前記入力データ内の8ビットデータブロックのビットについて、前記8ビットデータブロックの各々における論理遷移の数に基づいて選択的に補数を取り、それにより選択的に補数の取られたデータブロックを生成する手段を含む、請求項17の高速デジタル信号伝送システム。

19. 前記エンコードする手段がさらに、

先に前記文字の論理値へとエンコードされた、前記選択的に補数の取られたデータブロックの論理値の中に含まれる、異なる種類の論理値の数における、累積的デイスパリティを決定する手段と、

エンコードされつつある前記選択的に補数の取られたデータブロックの現在のブロックに関連する、候補文字における現在のデイスパリティを決定する手段と、及び

前記現在のデイスパリティが前記累積的デイスパリティの第一の極性と反対の極性である場合に、前記候補文字を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当て、前記現在のデイスパリティが前記第一の極性である場合に、前記候補文字の補数を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当てる手段とを含む、請求項17の高速デジタル信号伝送システム。

20. 前記伝送する手段が同期文字の少なくとも3回の繰り返しを伝送する手段を含み、前記同期文字が前記第二の範囲内で選択された数の論理遷移を有し、前記分離する手段が前記通信リンクから受信した前記同期文字の前記少なくとも

も3回の繰り返しの一つの境界を検出する手段を含む、請求項17の高速デジタル信号伝送システム。

21. 前記境界を検出する手段が、

前記通信リンクからのビットの入力セットをレジスタに結合する手段と、

前記ビットの入力セットの少なくとも第一のサブセットの隣接するビットに対して第一の組の論理演算を実行し、前記事前定義された論理演算の結果をグループの組にグループ化する手段と、及び

前記グループを比較して前記ビットの入力セットが前記同期文字の前記少なくとも3回の繰り返しに対応するか否かを判定する手段とを含む、請求項20の高速デジタル伝送システム。

22. 前記境界を検出する手段がさらに、前記ビットの入力セットに対する第二の組の論理演算の実行結果に基づいて、前記同期文字の前記境界を識別する検出論理手段を含む、請求項21の高速デジタル伝送システム。

23. 前記比較する手段が、前記グループの第一と第三を比較し、前記グループの第二と第四を比較する手段を含み、前記グループの第一と前記グループの第三が等しく、前記グループの第二と前記グループの第四が等しい場合に、前記ビットの入力セットが前記同期文字の前記少なくとも3回の繰り返しに相当する、請求項21の高速デジタル伝送システム。

24. 前記第二の組の論理演算が、前記ビットの入力セットの第二のサブセットの隣接するビットに対して実行される論理AND演算に相当する、請求項21のシステム。

25. 前記同期文字の前記繰り返しの各々が10ビットを含み、前記グループ化する手段が前記ビットの入力セットの前記第一のサブセットから前記グループを4つ形成する手段を含み、前記第一のサブセットが22ビット未満からなる、請求項21のシステム。

26. 8ビットデータワードの第一のシーケンスをデータ文字にエンコードし、制御データを制御文字にエンコードする第一のエンコーダ手段と、前記データ文字の各々が第一の範囲内において第一の複数の論理遷移を有し、前記制御文字の各々が前記第一の範囲と異なる第二の範囲内において第二の複数の論理遷移

を有することと、

前記データ文字及び前記制御文字に応答する直列化器と、前記直列化器の出力に結合され、前記データ文字及び前記制御文字を通信リンクを介して伝送するためのリンク送信機と、及び

前記データ文字及び前記制御文字の受信したものにおける論理遷移の数に基づいて、前記通信リンクから受信した、前記データ文字及び前記制御文字の受信したものを分離する手段、

とからなる高速デジタルビデオ信号伝送システム。

27. 同期文字の境界を、前記同期文字の少なくとも3回の繰り返しを含む符号化されたシリアルデータストリーム内で検出するためのシステムであって、前記同期文字が所定範囲内に幾つかの論理遷移を有するものにおいて、

前記符号化されたシリアルデータストリームからのビットの入力セットをレジスタに結合する手段と、

前記ビットの入力セットの少なくとも第一のサブセットの隣接するビットに対して第一の組の論理演算を実行し、前記事前定義された論理演算の結果をグループの組にグループ化する手段と、

前記グループを比較して前記ビットの入力セットが前記同期文字の前記少なくとも3回の繰り返しに対応するか否かを判定する手段と、及び

前記ビットの入力セットに対する第二の組の論理演算の実行結果に基づいて、前記同期文字の前記境界を識別する検出論理手段を含むシステム。

28. 前記比較する手段が、前記グループの第一と第三を比較し、前記グループの第二と第四を比較する手段を含み、前記グループの第一と前記グループの第三が等しく、前記グループの第二と前記グループの第四が等しい場合に、前記ビットの入力セットが前記同期文字の前記少なくとも3回の繰り返しに相当する、請求項27の高速デジタル伝送システム。

29. 前記第二の組の論理演算が、前記ビットの入力セットの第二のサブセットの隣接するビットに対して実行される論理AND演算に相当する、請求項27のシステム。

30. 前記同期文字の前記繰り返しの各々が10ビットを含み、前記グループ化す

る手段が前記ビットの入力セットの前記第一のサブセットから前記グループを4つ形成する手段を含み、前記第一のサブセットが22ビット未満からなる、請求項27のシステム。

31. 同期文字の境界を、前記同期文字の少なくとも3回の繰り返しを含む符号化されたシリアルデータストリーム内で検出するための方法であって、前記同期文字が所定範囲内に幾つかの論理遷移を有するものにおいて、

、前記符号化されたシリアルデータストリームからのビットの入力セットをレジスタに結合するステップと、

前記ビットの入力セットの少なくとも第一のサブセットの隣接するビットに対して第一の組の論理演算を実行し、前記事前定義された論理演算の結果をグループの組にグループ化するステップと、

前記グループを比較して前記ビットの入力セットが前記同期文字の前記少なくとも3回の繰り返しに対応するか否かを判定するステップと、及び

前記ビットの入力セットに対する第二の組の論理演算の実行結果に基づいて、前記同期文字の前記境界を識別するステップと含む方法。

32. 前記比較するステップが、前記グループの第一と第三を比較し、前記グループの第二と第四を比較するステップを含み、前記グループの第一と前記グループの第三が等しく、前記グループの第二と前記グループの第四が等しい場合に、前記ビットの入力セットが前記同期文字の前記少なくとも3回の繰り返しに相当する、請求項31の方法。

33. 前記第二の組の論理演算が、前記ビットの入力セットの第二のサブセットの隣接するビットに対して実行される論理AND演算に相当する、請求項31の方法。

34. 前記同期文字の前記繰り返しの各々が10ビットを含み、前記グループ化する手段が前記ビットの入力セットの前記第一のサブセットから前記グループを4つ形成する手段を含み、前記第一のサブセットが22ビット未満からなる、請求項31の方法。

35. デジタルデータの高速伝送方法であって、

(i)8ビットのデータブロックの各々における論理遷移の数に応じて前記8ビ

ットのデータブロックの入力シーケンスのビットの補数を選択的に取り、選択的に補数の取られたデータブロックを生成し、(ii)先に前記文字の論理値へとエンコードされた、前記選択的に補数の取られたデータブロックの論理値に関連する論理値における、累積的ディスパリティを決定し、(iii)エンコードされつつある前記選択的に補数の取られたデータブロックの現在のブロックと関連する、候補文字における現在のディスパリティを決定し、及び(iv)前記現在のディスパリティが前記累積的ディスパリティの第一の極性と反対の極性である場合に、前記候補文字を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当て、前記現在のディスパリティが前記第一の極性である場合に、前記候補文字の補数を前記選択的に補数の取られたデータブロックの前記現在のブロックに割り当てることにより、8ビットのデータブロックの入力シーケンスを文字のシーケンスにエンコードするステップと、

各々の文字をシリアルデータストリングに変換するステップと、及び

前記シリアルデータストリングの各々を通信リンクを介して伝送するステップとからなる方法。

【発明の詳細な説明】

遷移制御されたデジタルエンコード及び信号伝送システム

発明の背景I. 発明の分野

本発明は、デジタル伝送システムのためのコード体系に関する。より特定的には、本発明は、高速バイト同期化がデコーディングの迅速な開始を可能にする、直流平衡され、遷移制御されたコーディングシステムに関するものである。

II. 関連技術の記述

電子技術及びコンピュータ技術が発展し続けるにつれて、手近に位置していようと或いは遠くにあると、異なる装置の間で情報を通信することの重要性はますます重要になっている。例えば今や、回路基板上の異なるチップの間、システム中の異なる回路基板の間、そして異なるシステム相互の間での、高速通信に対して備えることは、これまでに増して望ましいことである。また特に、グラフィック又はビデオ情報、多重の入出力チャンネル、ローカルエリアネットワーク、及びこれらに類するものを用いた、集約的データ消費システムにおいては、データ通信のために大量のデータが必要とされることを考慮すれば、こうした通信を非常な高速で行うことも、ますます望ましくなっている。

特に望ましいのは、個々のパーソナルコンピュータ、ワークステーション、或いはその他の計算機装置といった、通常はデータがパラレルデータバスを用いて内部転送されるものが、比較的単純な伝送ラインを介して相互に通信できるようにすることである。現在一般的に入手可能な計算機システムの内部の、64ビット及びより幅広いデータ経路とは対照的に、こうした伝送ラインは典型的には、一つ又は二つだけの導体を含んでなる。コンピュータディスプレイへのビデオデータの転送の場合、並びにデジタルカメラからコンピュータシステムへの高速ビデオ入力の場合にも、既存の相互接続インタフェースは通常、かかるパラレルデータ経路を用いている。最近、ディスプレイの解像度が向上した結果として、このような相互接続システムの所要帯域幅は増大した。このことは、電磁妨害雑音(EMI)並びに伝送路ノイズを増大させ、それによって安全性と信頼性に関する懸念を生じさせている。加えて、液晶ディスプレイパネルの進化によって必要とさ

れる、多数の信号及びデータラインが、相互干渉の可能性を増大させている。

パラレルデータをシリアル形式に高速変換し、シリアルリンクを介して伝送するのに備えようとする、多数の製品が市販されている。こうした製品の一つに、ヒューレット・パッカード社製のG-リンクチップセットがある。このチップセットは送信セットを含み、21ビット幅のパラレルデータを扱うことができる。しかしながら、必要とされる速度を得るために、このチップセットはバイポーラプロセスを用いて製造されており、また受信機と送信機に別々のチップを必要とする。こうした解決策は、非常に電力消費型であり、高価につく。

別の商業的な解決策が、フランスのブル社により提供されている。このブル社の技術は、パラレルからシリアルへのデータ変換のために、周波数通倍器を採用している。こうしたデバイスは通常、シリコン基板に対してノイズを導入し、チップ上の他の通倍器に干渉する。加えて、このブル社の技術は、パラレルからシリアルへの変換のために、排他的ORツリーを使用する。排他的ORツリーの使用は周知であり、かかるデバイスの全ての経路を介しての遅延を等化することが困難であることも、よく知られている。加えて、このブル社の技術は、論理の完全な振れを有する出力信号を用いている。このことは、より遅い性能に帰着する。

シリアルリンクを介しての伝送特性を改良するための、種々の技術が存在している。例えば、クロックの回復を促進し、交流結合を可能にすべく、伝送されるシリアルデータの周波数スペクトルを変えるために、伝送コードを採用することができる。伝送コードの各々はまた通常、文字同期、フレーム区切り、及び恐らくは診断目的で使用される、データアルファベット中には含まれていない特殊文字をも提供する。コーディングはまた、伝送媒体を通じての伝播中に生ずる信号歪みを制限する手段として、伝送帯域幅を低減するためにも用いられ得る。ワイヤリンクの場合には、ドライバ及び受信回路を伝送ラインから分離することを可能にし、またライン上での信号歪みを低減させるために、直流成分を含まず、また低周波数成分が殆どないコードを用いることが望ましい。効率的なコーディングシステムはまた、デコーディングに際してクロック情報を取り出すことができるような仕方でもって、エンコードされたデータでクロック情報をエンコードする性質のものであるべきである。このことは、専用クロックラインを介して別個

のクロック信号を提供する必要性を回避させる。というのは、デコーディングに際して回復されるクロック情報を代わりに、受信回路により用いることができるからである。

ローカルエリアネットワーク(LAN)の内部では、伝送コード体系は、種々の長さのワードをより長い文字(キャラクタ)に変換するために存在する。例えば、3ビットのワードは4ビットの文字に変換することができ(3B/4B)、4ビットのワードは5ビットの文字に変換できる(4B/5B)といった具合である。典型的には、コーディングとデコーディングは、「キー」を用いて達成され、そこにおいて各ワードは対応する文字にマッピングされる。残念なことに、この型式のマッピング体系は複雑であり、それによって一般に、ランダム論理の使用が排除され、またルックアップテーブルその他を包含する具現化形態がしばしば必要とされる。ROMを用いて実現されるルックアップテーブルはかなりのチップ面積を消費し、しかも回路動作を遅くする傾向があることから、このことは不具合である。

米国特許第4,486,739号には、特別な8B/10Bコード体系が記載されている。具体的には、2進直流平衡コードとこれに関連するエンコーダ回路が、8ビットバイトの情報を伝送用に10個の2進数に翻訳するよう動作可能であるとして記載されている。この8B/10Bコードは、5B/6Bと3B/4Bのコードに区分されている。このシステムは、表向きは直流平衡コーディングを容易にするものの、相対的に長い符号化及び復号化間隔を必要とする傾向がある。

シリアルデータ伝送を容易にするように用いられる、コーディング技術の開発は進歩を遂げているが、非常に高速なシリアルデータ伝送を効率的に支援することのできるコード体系に対するニーズが残存している。こうしたコード体系はまた、交流結合とクロック回復を容易にするために、直流平衡されていなければならない。加えて、デコーディングの際の高速同期を可能にすることにより、リアルタイムデータ伝送を容易にすることが可能なコード体系を提供することも望ましい。

発明の概要

本発明は一つの側面において、データバイトの入力シーケンスから、遷移制御された直流平衡文字シーケンスを生成するための方法及び装置を指向している。

各々のデータバイト内のビットは、各データバイトにおける論理遷移の数に従って選択的に補数を取られ、かくして選択的に補数の取られたデータブロックが生成される。次いで、先に文字へとエンコードされた、選択的に補数の取られたデータブロックの論理値の中に含まれる、異なる種類の論理値の間における、累積的デイスパリティが決定される。加えて、選択的に補数の取られたデータブロックの現在エンコードされつつあるブロックと関連する、候補文字における現在のデイスパリティも決定される。現在のデイスパリティが、累積的デイスパリティの第一の極性と反対の極性である場合、候補文字は、選択的に補数の取られたデータブロックの現在のブロックに割り当てられる。或いは、現在のデイスパリティが第一の極性である場合は、この候補文字の補数が、選択的に補数の取られたデータブロックの現在のブロックに割り当てられる。

高遷移動作モードにおいては、最小数未満の論理遷移を含むデータブロック内のビットは選択的に補数を取られて、かかる選択的に補数の取られたデータブロックの各々が、最大数を越える論理遷移を含むようにされる。低遷移動作モードにおいては、事前定義数を越える論理遷移を有するデータブロック内のビットは選択的に補数を取られて、かかる選択的に補数の取られたデータブロックの各々が、最大数未満の論理遷移を含むようにされる。高遷移動作モード及び低遷移動作モードの何れにおける、かかる選択的に補数の取られたデータブロックの各々の符号化文字へのエンコードに際しても、事前定義ビットがセットされて、選択的な補数化が実行されたことが示される。

別の側面において、本発明は、高速デジタル信号伝送システムからなる。このシステムは、デジタル入力データをデータ文字にエンコードし、また制御データを制御文字にエンコードするエンコーダを含む。データ文字の各々は、第一の範囲内に第一の複数の論理遷移を有し、制御文字の各々は、第一の範囲とは異なる第二の範囲内において、第二の複数の論理遷移を有する。データ文字及び制御文字はシリアルデータストリームに変換され、通信リンクを介して伝送される。

この高速デジタル信号伝送システムはさらに、通信リンクからシリアルデータストリームを受信し、受信したデータ文字と制御文字をそこから回復するための、非直列化器を含んでいる。受信した制御文字は、その内部で検出される論理遷

移

の数に基づいて、受信したデータ文字と識別される。非直列化器と結合されるデコーダが、受信したデータ文字及び受信した制御文字をデコードするように動作する。

図面の簡単な説明

本発明の付加的な目的及び特徴は、添付図面に関連して参酌した場合に、以下の詳細な説明及び添付の請求の範囲から、より容易に明らかとなるものである。

図1は、高速デジタル伝送システム内に具現化された、本発明の直流平衡エンコードシステムを示すブロック図である。

図2は、データのフローチャートの形における、本発明の直流平衡エンコーダの全体的な機能的編成を示す。

図3は、図1の伝送システム内部に含まれるデコーダのブロック図表示を提供している。

図4は、図3のデコーダの、交互バイト反転デコーダモジュールのランダム論理実施形態を示す。

図5は、図3のデコーダと関連して動作する、デコーダ同期モジュールにより実行される同期化プロセスを示すフローチャートである。

図6は、高遷移モード動作に際して、デコーダ同期モジュールにより実行される同期化プロセスを示すフローチャートである。

図7A及び図7Bは、エンコーダの例示的な実施形態の概略表示を提供している。

図8A及び図8Bは、デコーダ同期モジュールの好ましい実施形態の概略表示を提供している。

好ましい実施例の説明

I. システムの概観

図1は、高速デジタル伝送システム10内に具現化された、本発明の遷移制御された直流平衡エンコードシステムを示すブロック図である。図1のシステム10においては、8ビットバイトの平行データ14が、本発明に従って遷移制御された直流平衡8B/10Bコーディングを実行するよう動作する、直流平衡エンコーダ18

に供給されている。結果として生じる10B符号化文字22は、10ビット

の文字をシリアルデータストリームに変換して、シリアルデータリンク30（例えば光ファイバケーブル又はツイストペア銅線）を介して伝送するよう配置された、直列化器26に供給される。本明細書で記載されるところでは、エンコーダ18によって実行される符号化アルゴリズムの比較的簡単な数学的特性により、ランダム論理での経済的な高速実施形態が可能となる。

シリアルデータストリームは、シリアルデータリンク30から非直列化器34によって受信され、10ビットの文字データ38に変換される。この10ビットの文字データ38は次いで、デコーダ44によって8ビットのデータバイト42へとデコードされる。後述するように、エンコーダ18とデコーダ44は両方とも、リアルタイムでのデータ処理が可能な、単純なデジタル論理回路を用いて、経済的に実現することができる。

II. 直流平衡遷移制御符号化及び復号化システム

以下では、エンコーダ18の内部で実行される、8B/10Bの遷移制御コード体系について、詳細な説明を行う。ここで開示される遷移制御コードは、「帯域内」コード文字の高遷移セット又は低遷移セットの何れかを使用することを考慮している。高遷移帯域内コード文字の各々は、入力データバイトから導かれ、この入力データバイトにおいては、その8つのビットの間に4以上の論理遷移が存在している。同様にして、低遷移帯域内コード文字の各々は、入力データバイトから導かれ、この入力データバイトにおいては、その8つのビットの間に4未満の論理遷移が存在している。この体系は、258個の8ビットASCIIコードの128個が4以上の論理遷移を含んでおり、また残りの128個のASCIIコードが4未満の論理遷移を含んでいるという事実を利用するものである。

4未満の論理遷移を含んでいる128個の8ビットコードの各々は、4以上の論理遷移を含んでいる対応する8ビットコードにマッピング可能であり、また逆も同じであることが見出された。本明細書で記載するように、このマッピングは、マッピングされる8ビットコードの各々において、事前定義されたビットの補数を取ることによって達成できる。高遷移モードの符号化に際しては、4未満の論理遷

移を有する入力バイト内のビットが選択的に補数を取られ、それによって4以上の論理遷移を有するバイトにマッピングされる。代わって、低遷移モードの

符号化に際しては、4以上の論理遷移を有する入力バイト内のビットもまた選択的に補数を取られ、それによって4未満の論理遷移を有するバイトにマッピングされる。何れの符号化モードに際しても、対応する10ビットの符号化文字の生成に先立って、中間の9ビット符号化記号を生成するために、選択的に補数の取られたバイトに対して、事前定義された値のビットが追加される。入力バイトが、現在の符号化モード（即ち高遷移モード又は低遷移モード）により指示された数の論理遷移を含む場合には、9ビットの中間記号のどれが選択的に補数を取られたバイトを含むかを識別するために、追加ビットは事前定義された値の補数にセットされる。これにより結局、低遷移モードと高遷移モードの動作の両方において、10ビットの文字に符号化するために、256個の8ビットコードの全部のセットが利用可能となる。

従って次のことが理解されよう。即ち高遷移モードでの動作中に10ビットの符号化文字へと変換された8ビットコードの各々は、4以上の論理遷移を含むものである。同様に、低遷移モードでの動作中に10ビットの符号化文字へと変換された8ビットコードの各々は、4未満の論理遷移を含むものである。高遷移モード及び低遷移モードでの動作の間に生成可能な、これらの10ビット符号化文字のセットは、それぞれ、「帯域内」符号化文字の高遷移セット、及び帯域内符号化文字の低遷移セットとして特徴付けられる。高遷移セット内部の256個の帯域内文字と、低遷移セット内部の256個の帯域内文字を越えたところには、帯域外の256個の10ビット文字の高遷移セットと、10ビット文字の低遷移セットとが存在する。本発明の別の側面によれば、帯域外文字の高遷移セットと低遷移セットを用いて、種々の同期及びその他の特殊文字が定義される。高遷移セットに関連するこれらの「帯域外」文字の一つに対応する文字の各々は、4未満の論理遷移を含み、コード文字の低遷移セットに関連する帯域外文字の各々は、4以上の論理遷移を含む。帯域内文字と帯域外文字の間での遷移数の差は、選択された帯域外文字が制御文字として役立つことを許容し、また伝送されたデータストリーム内の帯域内

文字から容易に識別可能なものとする。

高遷移セットの帯域内文字の各々の中の遷移数が比較的高いことを考慮すると、文字の高遷移セットは、タイミング回復を促進するために有利に用いることができる。

きる。他方、低遷移セットのコード文字内の低い数の遷移は、この文字セットを、電力消費及び／又は電磁妨害雑音(EMI)を最小限にすることが望ましい用途に用いるについて、最適なものとする。

本発明の一つの側面によれば、コード文字の低遷移セット及び高遷移セットの両者に関連する同期文字は、データ回復に際しての迅速な同期を容易にするために選択される。コード文字の低遷移セットが用いられている場合、同期に際しては特殊な帯域外文字のグループが用いられる。各々の特殊同期文字は、2進文字値の間の4より多い事前定義された数（例えば7）の論理遷移と、また文字値の間の事前定義された数（例えば2）の「非遷移」とを含む。以下で述べるように、特殊同期文字は、低遷移セットの帯域内文字から特殊同期文字の各々を識別するために、ランダム論理を使用することができるようを選択される。次のものは、コード文字の低遷移セットと共に用いるための、帯域外同期文字の例示的なセットを構成する。

1100101010

1101001010

1101010010

1101010100

上記した帯域外同期文字の一つがプリアンブル期間内に3回又はより多くの連続回数にわたって伝送された場合でも、関連するデータ回復プロセスの間に同期文字が確実に検出されるということが、本発明の一つの特徴である。これに関して、「プリアンブル」シーケンスは、符号化文字の伝送の各々に先行するプリアンブル期間の間に送られるものである。プリアンブルシーケンスの伝送は、システムの初期化の一部としてのみではなく、符号化プロセスと復号化プロセスの間で同期が維持されるのを確実にするために、種々の他の時点においても生ずるも

のである。

本発明のコード体系は、256個の異なる8ビット2進コード値に特有の性質に基づくものである。表1を参照すると、256個の異なる8ビット2進コードは8つのグループG0-G7に分割されており、そこにおいて各々のグループG0-G7内にある2進コードは、同じ数の遷移を含んでいる。グループG0内部の2進コー

ドの各々は、グループG0のコード内の一つ置きビットを反転させることにより、グループG7内の対応する2進コードに変換可能であることが観察される。同様にして、グループG1,G2及びG3内の2進コードの各々は、一つ置きビットを反転させることを通じて、グループG6,G5及びG4のそれぞれの中の2進コードの一つへと変換することができる。本明細書で記載するように、10ビット文字の高遷移セットは、グループG0-G3の8ビット2進コードを符号化することによって得られ、低遷移セットはグループG4-G7を符号化することによって得られる。

表 1

グループ	遷移の数	グループ内の バイト数	グループ内のバイトの例
G0	0	2	00000000, 11111111
G1	1	14	00000001, 11111110
G2	2	42	00000010, 11111101
G3	3	70	00000101, 11111010
G4	4	70	00001010, 11110101
G5	5	42	00010101, 11101010
G6	6	14	00101010, 11010101
G7	7	2	01010101, 10101010

高遷移符号化モードにおけるエンコーダ18の動作の間に、それに対して供給されるバイトグループG0-G3内の8ビット2進コードの各々は、一つ置きビットを反転させることを通じて、バイトグループG4-G7内の対応する2進コードに変換される。逆に、低遷移符号化モードにおける動作に際しては、エンコーダ18に対して提供されるグループG4-G7内の8ビット2進コードの各々は、グループG0-G3内の

対応する2進コードにマッピングされる。ここでの例示的な実施例では、一つ置きビットの反転は、8ビット2進コードの偶数ビットを反転させることを通じて行われる。所与の8ビットコードの一つ置きビットがこ

のようにして反転されたならば、この所与の8ビットコードから結果的に導かれた10ビットの符号化文字内の事前定義されたビットがセットされて、バイトグループの間でマッピングが行われたことが示される。

さて図2を参照すると、本発明の遷移制御直流平衡エンコーダ18の全体的な機能的編成が、データフローチャートの形で示されている。図2において、エンコードすべき8ビットの平行データ14は、例えば8つのDフリップフロップからなる入力ラッチ70にラッチされる。ラッチ70内の平行データ14の各バイトの隣接するビットの間での論理値の遷移(T)の数をカウントするために、遷移カウンタ74が動作可能である。 D_7, D_6, \dots, D_0 (即ちD[7:0]) が、入力ラッチ70内にラッチされたデータの8つのビットからなるとすれば、遷移カウンタ74は次のようにしてTを求めることができる。

$$T = (D_7 \text{ xor } D_6) + (D_6 \text{ xor } D_5) + (D_5 \text{ xor } D_4) + (D_4 \text{ xor } D_3) \\ + (D_3 \text{ xor } D_2) + (D_2 \text{ xor } D_1) + (D_1 \text{ xor } D_0)$$

ラッチされたバイトのビット間に、4以上の論理遷移がカウントされたならば($T > 3$)、カウンタ74によってCOUNTライン78は事前定義された論理値にセットされ、そうでない場合には($T \leq 3$)この事前定義値の補数にセットされる。以下では、カウンタ74によって4以上の論理遷移がカウントされたならば($T > 3$)COUNT=0であり、他の場合には($T \leq 3$)COUNT=1であるとする。

図2に示されているように、遷移カウンタ82はCOUNTライン78とモード選択ライン86に応答する。モード選択ライン86は、コード文字の高遷移セット又は低遷移セットの何れを用いて符号化を実行するかを決定する。高遷移符号化が有効であることがモード選択ライン86によって示され、またラッチ70内に格納されているバイト内に4未満の論理遷移が存在することがCOUNTライン78によって記録されたならば、遷移コントローラ82は条件付き交互ビット反転(CABI)ロジック90に命令して、ラッチ70内に格納されたバイトの偶数ビットを反転させる。結果的に生ず

る条件付き反転バイトは、4以上の論理遷移を有し、中間ラッチ94内に格納される。反対に、高遷移符号化が有効であり、入力ラッチ70に格納されたバイト内でカウントされる論理遷移が4以上である場合には、遷移コントローラ82はCABIロジック90に、そのバイトをラッチ70から（ビット反

転なしに）中間ラッチ94へと単に転送させる。従って高遷移符号化モードに際しては、

$T < 4$ ならば、

$$E[8:0] = '1' D_7 \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \text{ であり、}$$

そうではなく $T \geq 4$ ならば、

$$E[8:0] = '0' D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 \text{ である。}$$

ここで、 $E[7:0]$ は中間ラッチ94内に格納された8つのビットからなり、 $E[8]$ はCOUNTラッチ95内に格納されたCOUNTの値からなる。

低遷移符号化が選択されていることがモード選択ライン86によって示され、またラッチ70内に格納されているバイト内に4以上の論理遷移が存在することがCOUNTライン78によって記録されたならば、遷移コントローラ82は条件付き交互ビット反転(CABI)ロジック90に命令して、ラッチ70内に格納されたバイトの偶数ビットを反転させる。他の場合、つまり低遷移符号化が実行されており、入力ラッチ70に格納されたバイト内でカウントされる論理遷移が4以上である場合には、格納されたバイトはビット反転なしに、中間ラッチ94へと単に転送される。従って低遷移符号化モードに際しては、

$$T > 3 \text{ ならば、} E[8:0] = '1' D_7 \overline{D_6} \overline{D_5} \overline{D_4} \overline{D_3} \overline{D_2} \overline{D_1} \overline{D_0} \text{ であり、}$$

そうでなければ、 $E[8:0] = '0' D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$ である。

CABIロジック90がラッチ94に対して、適切な範囲内に幾つかの論理遷移を有するバイトを提供した後に、直流平衡プロセスが実行される。このプロセスでは、10ビットの符号化文字ストリーム内部の相補的論理値の間における累積的デイスパリティが、エンコーダ18によって生成される。本明細書で使用する「累積的デ

イスパリティ」(D_{cum})という用語は、以下に述べるような仕方でデコーダ44により達成される同期化に続いて、エンコーダ18によって生成される、0ビットに対する1ビットの過剰さを示すものである。「現在のデイスパリティ」(D_{cur})という用語は、ラッチ94内に現在格納されているバイト内部における、0ビットに対する1ビットの過剰さを参照するものであり、デイスパリティチェッカー96によって決定される。直流平衡モジュール98は、現在のデイスパリティをラッチ99内に格納された累積的デイスパリティに対して比較するよう動作

する。この比較結果は次いで、ラッチ94内に格納されたバイトを、出力レジスタ104への伝送の間に、条件付きバイト反転(CTBI)ロジック100により反転するか否かを決定するために使用される。このようにしてCTBIロジック100は、エンコーダ18により生成されるシリアルストリームに関連する累積的デイスパリティを最小限にするように働く。以下に示すものは、エンコーダにより生成される直流平衡文字ストリームにおける10ビット文字 $T[9:0]$ の各々が、中間ラッチ94内に格納されたバイト $E[7:0]$ とCOUNTラッチ95内のビット $E[8]$ から導かれる仕方についての論理の記述である。

現在のデイスパリティ (D_{cur}) は、デイスパリティチェッカー96によって次のようにして計算される。

$$D_{cur} := \{(E_7 \text{ and } E_6) + (E_5 \text{ and } E_4) + (E_3 \text{ and } E_2) + (E_1 \text{ and } E_0)\} \\ - \{(E_7 \text{ nor } E_6) + (E_5 \text{ nor } E_4) + (E_3 \text{ nor } E_2) + (E_1 \text{ nor } E_0)\}$$

高遷移モードにおける動作中には、 $-2 \leq D_{cum} \leq 2$ であり、これに対して低遷移モードでの動作中には、 $-4 \leq DP \leq 4$ であることが注目される。直流平衡モジュール98の内部では、 $D_{cur} = 0$ 又は $D_{cum} = 0$ であると判定されたならば、そのとき

$E_8 = '0'$ ならば、

$$T[9:0] = '1' E_8 \bar{E}_7 \bar{E}_6 \bar{E}_5 \bar{E}_4 \bar{E}_3 \bar{E}_2 \bar{E}_1 \bar{E}_0, \text{そして}$$

$$D'_{cum} = D_{cum} - D_{cur} \text{であり、}$$

そうではなく E_8 がゼロに等しくなければ、

$$T[9:0] = '0' E_8 E_7 E_6 E_5 E_4 E_3 E_2 E_1 E_0, \text{そして}$$

$$D'_{cum} = D_{cum} D_{cur} \text{である。}$$

ここで D'_{cum} は、デイスパリティ更新器108によって計算され、それによってラッチ99に格納された、更新された累積的デイスパリティである。

代わりに、 D_{cur} の最上位ビット(MSB)と D_{cum} のMSBが等しくないことが、直流平衡モジュールによって判定されたならば、そのとき

$$T[9:0] = '0' E_8 E_7 E_6 E_5 E_4 E_3 E_2 E_1 E_0, \text{そして}$$

$$D'_{cum} = D_{cum} + D_{cur} - E_8 \text{である。}$$

最後に、他の全ての場合について、 D_{cur} のMSBと D_{cum} のMSBが等しいのであれば、そのとき、

$$T[9:0] = '1' E_8 \overline{E_7} \overline{E_6} \overline{E_5} \overline{E_4} \overline{E_3} \overline{E_2} \overline{E_1} \overline{E_0}, \text{そして}$$

$$D'_{cum} = D_{cum} - D_{cur} + E_8 \text{である。}$$

このようにして、出力ラッチ104を $T[7:0]$ として充填する過程において、CBIロジック100によりバイト $E[7:0]$ を選択的に反転させることを通じて、累積的デイスパリティは低減され、直流平衡が達成される。 $T[8]$ の論理値は、入力ラッチ70で受け取ったバイト $D[7:0]$ の偶数ビットが、バイト $E[8:0]$ の生成に際して補数を取られているか否かを示すものであることが看取される。同様に、 $T[9]$ の論理値は、バイト $E[7:0]$ がラッチ104への伝送の間に反転されたか否かを示すものである。

III. 復号化

図1を参照すると、非直列化器34はエンコーダにより生成された10ビット文字 $T[9:0]$ を受信し、ビットライン RX_9, RX_8, \dots, RX_0 (即ち $RX[9:0]$) 上に、10ビットの平行受信データを生成する。この10ビットの平行受信データはビットライン $RX[9:0]$ を介してデコーダ44へ、またデコーダ同期化モジュール114へと提供される。後にセクションIVで記述するように、この同期化モジュール114は、伝送データのフレーム境界 (即ち $T[9:0]$) に対応して、10ビットの平行受信データ内に境界を確定するように動作する。具体的には、同期化モジュール114は、非直列化器34がどのビットライン $RX[9:0]$ に対して、伝送バイト $T[9:0]$ の各

々の最初のビットT[0]に対応する受信ビットを提供しているのかを判定する。この判定を行った後に、同期化モジュール114はデコーダ44に対しフレーム境界ポインタ118を提供して、伝送された10ビット文字T[9:0]の最初のビットT[0]に対応するビットラインRX[9:0]の一つを識別する。この同期情報を受信したならば、デコーダ44は以下のようにして受信データRX[9:0]をデコードするように作用する。

図3は、デコーダ44のブロック図による表示を提供している。非直列化器によって生成される10ビットの平行データが、ビットラインRX[9:0]を介してデコーダスイッチ150により受信されることが看取される。このデコーダスイッチ150は、ビットラインRX[9:0]を介して受信した10ビットのデータを、同期化モジュール114により提供されるフレーム境界ポインタ118の値に従って、

交換ビットラインS[9:0]に切り替えるように作用する。具体的には、最初の伝送ビットT[0]に対応する受信ビットRX[9:0]の一つがビットラインS[0]に切り替えられ、二番目の伝送ビットT[1]に対応する受信ビットRX[9:0]の一つがビットラインS[1]に切り替えられる、といった具合である。伝送データバイトT[7:0]に対応して、ビットラインS[7:0]上に印加された交換データは、8ビットのラッチ154内に格納される。同様に、伝送ビットT[8]に対応する交換データビットS[8]は、1ビットラッチ158に提供される。ビットラインS[8]の論理値は、T[8]の論理値に追従するものであるから、ビットラインS[8]は交互ビット反転(ABI)デコーダ160に対して、入力データD[7:0]の偶数ビットが符号化プロセスの間に、CABIロジック90(図2)によって補数を取られたか否かを通知することになる。同様にビットラインS[9](T[9]の論理値に追従する)は、符号化プロセスの直流平衡段階において、ラッチ104内に格納されたバイトがCTBIロジック100により補数を取られたか否かを、ABIデコーダ160に対して通知する。このようにしてデコーダ160は、符号化プロセスの間に8ビットラッチ154内に格納されたバイトS[7:0]に対して行われた論理演算について通知され、それによってランダム論理を用いた簡単な復号化が促進される。

さて図4に移ると、そこにはランダム論理によるABIデコーダ160の実施例が示

されている。このABIデコーダは、8ビットの復号バイトDE[7:0]を生成すべく、10ビットのフレーム整列データS[9:0]を復号化するための、9個の排他的論理和(XOR)ゲートN1-N9のセットを含んでいる。図4の実施形態では、これらのXORゲートN1-N9は、次のようにして復号バイトDE[7:0]を生成する。

$$DE[7] = S[7] \text{ xor } S[9]$$

$$DE[6] = S[6] \text{ xor } \beta$$

$$DE[5] = S[5] \text{ xor } S[9]$$

$$DE[4] = S[4] \text{ xor } \beta$$

$$DE[3] = S[3] \text{ xor } S[9]$$

$$DE[2] = S[2] \text{ xor } \beta$$

$$DE[1] = S[1] \text{ xor } S[9]$$

$$DE[0] = S[0] \text{ xor } \beta$$

ここで、 $\beta := S[9] \text{ xor } S[8]$ である。

IV. 同期化

上述したように、デコーダ同期化モジュール114はデコーダ44に対し、伝送された10ビット文字T[9:0]の各々のフレーム境界についての指示をもたらす。デコーダモジュール114はデコーダスイッチ150 (図3) と共に、バレルシフタとして効果的に機能し、非直列化器からのパラレルデータRX[9:0]を、フレーム整列データS[9:0]へとシャッフルする。本発明によれば、同期化モジュール114によるフレーム境界の検出を容易にするために、プリアンブルシーケンスがエンコーダ18によって、種々の時点 (例えばシステムのパワーアップ時) で生成される。例示的な実施形態においては、このプリアンブルシーケンスは、帯域内文字から容易に識別可能な、選択された帯域外文字の数回の繰返しを含む。この場合にも、高遷移モード動作に際しては、帯域外文字の各々は4未満の論理遷移を含み、低遷移モード動作に際しては、帯域外文字の各々は4以上の論理遷移を含む。以下で論ずるように、各モードでの動作の間、デコーダ同期化モジュール114内の迅速なフレーム境界の識別を確保するための手段として、プリアンブル期間の間にエンコーダ18によって、特別に選択された帯域外文字の数回の繰返しが生成される。プリアンブル期間の終結時には、モジュール114は、ビットラインRX[

9:0]のどれが10ビットの伝送文字の最初のビットT[0]に対応するかを「知って」おり、フレーム境界ポインタ118を介してデコーダに対する通知を行う。

プリアンブル期間の間に伝送するための帯域外文字の適切なサブセットを選択することにより、同期化の達成のために必要とされる最悪の場合の時間を、在来の同期化体系により必要とされる時間に対して、短縮することができる。特に、低遷移モード動作の間は、以下の帯域外文字が「同期文字」として用いられる。

1100101010

1101001010

1101010010

1101010100

高遷移モード動作の間は、以下の帯域外文字が同期文字として用いられる。

1000001111

1000011111

1000111111

1001111111

1011111111

各プリアンブル期間の間、同じ同期文字の3回の繰り返しが、エンコーダ18によって生成される。本明細書で記述するように、エンコーダ18によって最も新しく生成された21ビットを処理することにより、同期化モジュール114は、所与のプリアンブル期間の間に伝送された同期文字の3回の繰り返しの内の、少なくとも1回を検出することができる。このことは、比較的短いプリアンブル期間の間に、同期化を達成することを可能にする利点を有する。

今度は図5に転ずると、低遷移モード動作の間にデコーダ同期化モジュール114によって実行される、同期化プロセスのフローチャートが提示されている。モジュール114の各クロックサイクルの間に、10ビットのブロックが非直列化器34から、第一の10ビットラッチ150にロードされる。またやはり各クロックサイクルの間に、10ビットのブロックが第一の10ビットラッチ150から、第二の10ビットラッチ154へと転送される。同様に、この第二の10ビットラッチ154内に現在格納

されている10ビットのブロックは、各クロックサイクルの間に第三の10ビットラッチ158へと転送される。

図5により示されているように、排他的否定論理和 (XNOR) 演算 (ステップ162) が、ラッチ150, 154, 158により保持されたデータの21ビット「ウィンドウ」の中に含まれる、隣接するビットの間で実行される。具体的には、この21ビットのウィンドウは、第三のラッチ158からの10ビットのブロックL3[9:0]と、第二のラッチ154からの10ビットのブロックL2[9:0]と、第一のラッチ150からのビットL1[9]とを含んでいる。この点につき、ビットL1[9]は、第二のラッチ154に転送された際に、ビットL2[9]となるビットである。低遷移モードの間の動作の例として、以下のパラレルビットシーケンスからなる21ビットのウィンドウ (即ちL3[9:0], L2[9:0], L1[9]) を考える。

101101001010110100101

隣接するビットの各対の間でXNOR演算が実行されたならば、次の結果が得られる。

00100010000010001000

図5により示されているように、このXNOR演算 (ステップ160) の結果物である20ビットは、4つの5ビットグループに分割される (即ちグループA, グループB, グループC, グループD)。現在の例では、これら4つの5ビットグループは、次のように定義される。

00100010000010001000	{XNOR 演算の結果}
00100	{グループ A}
01000	{グループ B}
00100	{グループ C}
01000	{グループ D}

上に列挙した高遷移モード及び低遷移モードの両方についての同期文字は、プリアンブル期間の間にグループA,B,C及びDの間に特別な関係が生ずるように選択されている。即ち、プリアンブルの間にエンコーダ18によって生成された、同じ同期文字の3回の連続的生成が非直列化器34によって受信された場合に、同期化

モジュール114に10ビットの平行データとして提供するものである。

例示的な実施形態では、プリアンブル期間の間には、以下の二つの関係（条件I及び条件II）が、グループA,B,C及びDの間に生じてくる。

条件I. グループA,B,C及びDに集合的に存在している論理"1"の数がちょうど4であり、以下の三つの事例の内の一つに相当する。

事例	論理1の数			
	グループA	グループB	グループC	グループD
#1	1	1	1	1
#2	2	0	2	0
#3	0	2	0	2

図5により示されているように、グループA,B,C及びDの各々における1の数は、"1"カウンタモジュール172,174,176及び178のそれぞれによって判定される。各グループA,B,C及びDの中の"1"の数は、21ビットウィンドウ（ステ

ップ160）における隣接ビットの間でのXNOR演算の結果により決定されるのであるから、各グループ内の"1"の数は、グループA,B,C及びDに関連する21ビットウィンドウの4つのセグメントの各々における、隣接するビット間での論理値の「非遷移」の数を示すことになる。現在の例では、グループA,B,C及びDの各々が、ただ一つの"1"を含んでいることが看取される。従って、現在の例は、事例#1に相当する。

条件II. グループAを構成しているビットのシーケンスはグループCのビットシーケンスに等しく、グループBを構成しているビットのシーケンスはグループDのビットシーケンスに等しい。即ち、グループA=グループC、そしてグループB=グループDである。

本発明によれば、第一、第二、及び第三のラッチ150,154及び158の中に同じ同期文字が格納されている場合に、そしてその場合にのみ、条件Iと条件IIが両方とも満足される。即ち条件Iと条件IIの両者は、エンコーダ18により同じ同期文字が3回繰り返して発生された場合に、プリアンブル期間の間においてのみ満足される。本発明のこの側面については、低遷移モード動作に関して以下で説明す

る。

上記したように、ラッチ150,154及び158により提供された21ビットウィンドウの内部の隣接するビットは、ステップ160 (図5) の間に排他的否定論理和を取られる。エンコーダ18によって生成される帯域内文字又は帯域外文字の各々は、長さがちょうど10ビットであるから、21ビットウィンドウには、一番目、二番目、及び三番目の10ビット文字の全部又は一部が含まれることになる。21ビットのウィンドウが、これらの一番目、二番目、及び三番目の10ビット文字からのビットを含む種々の形を以下に示す。

ビットの数		
<u>一番目の文字</u>	<u>二番目の文字</u>	<u>三番目の文字</u>
1	10	10
2	10	9
3	10	8
4	10	7
5	10	6
6	10	5
7	10	4
8	10	3
9	10	2
10	10	1

各々の文字は帯域内 (例えばDATA) 文字、又は帯域外コマンド又は同期 (即ちSYNC) 文字の何れかであるから、以下のものは、21ビットウィンドウに寄与する一番目、二番目、及び三番目の10ビット文字の間における、DATAとSYNCの可能な組み合わせを示すものである。

<u>組み合わせ</u>	<u>一番目の文字</u>	<u>二番目の文字</u>	<u>三番目の文字</u>
A	SYNC	SYNC	SYNC
B	SYNC	SYNC	DATA
C	SYNC	DATA	DATA
D	DATA	DATA	DATA
E	DATA	DATA	SYNC
F	DATA	SYNC	SYNC

例えば、21ビットのウィンドウは、一番目のSYNC文字の2ビットと、二番目のDATA文字の10ビットと、そして三番目のDATA文字の9ビットからなることができる（即ち組み合わせC）。

低遷移モード動作の間、全ての帯域内（例えばDATA）文字は、帯域内文字の隣接する10ビットの間の論理値に、最大で3つの論理遷移、或いは同義として、4以上の「非遷移」を含む。従って、低遷移モード動作に際して、二番目の文字がDATA文字である場合には、それは4以上の論理非遷移を含むことになる。条件Iの示すところによれば、21ビットのウィンドウ全体の中での論理非遷移の数は、その中に3つの同じSYNC文字が存在している場合、ちょうど4であるから、二番目の文字がDATA文字である場合には条件Iは満たされない。なぜなら、それは4以上の論理非遷移を含むからである。従って、条件Iが満たされるとするならば、そのとき21ビットウィンドウは組み合わせC、D及びE（即ち

二番目の文字がDATA文字である）によって特定される文字の組からなることはできない。

本発明によれば、上に列挙した同期文字は、何れかのプリアンブル期間の間に伝送された一番目と三番目の文字が同一である場合に、条件IIが満たされるように選ばれている。従って組み合わせBとFは、条件IIを満足しない。それゆえ、組み合わせA（即ち3つの連続するSYNC文字）のみが、条件IとIIの両者を満足することになる。

図5を参照すると、条件Iと条件IIの両方が満足された場合（ステップ190）には、21ビットウィンドウ内で検出されたSYNC文字のフレーム境界を識別するため

に、以下に記載するようにして、グループAとBの内部の選択された隣接ビットが論理積を取られる(ステップ196)。21ビットウィンドウ内のSYNC文字の各々は、非直列化器³⁴によってラッチ150にロードされるものであるから、各々のSYNC文字のフレーム境界は、かかるSYNC文字の各々の最初のビットが印加される、非直列化器³⁴からのビットラインR[9:0]の一つに関して識別することができる。この識別が達成されたなら、フレーム境界ポインタ118によって、デコーダに対してこのビットラインR[9:0]の識別が通知される。

ステップ196の論理積演算は、第三のラッチ158(即ちL3[9:0])にある全ての隣接ビットの間、及びL3[0]とL2[9]の間でも実行される。ステップ190の結果、条件Iと条件IIの両者が満たされたことが示されたならば、ステップ196の論理積演算の結果は、フレーム境界ポインタ118の値を示す、ただ一つの論理1のみを生成する。現在の例では、L3[9:0]:={1011010010}及びL2[9]:=[1]であり、従ってステップ196の論理積演算の結果は、{0010000000}である。即ち、21ビットウィンドウの三番目の位置が、同期文字の第一のビットに対応している。従って現在の例では、フレーム境界ポインタ118は、非直列化器³⁴により生成される各10ビット文字の最初のビットを運ぶものとして、10ビットラインRX[9:0]の三番目(RX[7])を識別するようにセットされる。

ここでの例示的な実施例では、プリアンブルシーケンス(即ち同じ帯域外SYNC文字の3回の繰り返し)は、システムのパワーアップに際して、及びシリアルリンク30を介してのデータ伝送の隔たりの間にも送られる。このことは、エンコ

ーダ18とデコーダ44の間でのタイミング同期を、長期にわたってデータ伝送がない場合であっても、維持できるようにする。

図6は、高遷移モード動作に際してデコーダ同期化モジュール114によって実行される、同期化プロセスを示すフローチャートである。図6によって示されている如く、高遷移モードの同期化プロセスは、低遷移モード動作(図5)の間に実行されるものと実質的に似通っている。特に、高遷移モードの同期化プロセスは、低遷移モードの同期化プロセスと、基本的には次の点で異なっている。

(i) ステップ160'において、ラッチ150', 154'及び158'内の隣接するビットに対

して、排他的否定論理和 (XNOR) 演算ではなく、排他的論理和 (XOR) が実行される。

(ii) ステップ196'において、各ビットとそのビットの直ぐ右側のビットの補数の間に、論理積演算が実行される (例えば $L3[9] \text{ AND } \overline{L3[8]}$, $L3[8] \text{ AND } \overline{L3[7]}$, $L3[7] \text{ AND } \overline{L3[6]}$ といった具合)。このようにして、この AND ゲートは論理"1"を生成し、"10"又はフレーム境界に対応する「立ち下がリエッジ」を識別する。

V. エンコーダ及びデコーダ同期化モジュールのハードウェア実施形態

この項においては、エンコーダ18の具体的なハードウェア実施形態と、低遷移モード動作に際して使用するのに適したデコーダ同期化モジュール114の実施形態についての説明が提示される。ランダム論理でのデコーダ44の例示的なハードウェア実現形態の説明は、先に項IIIにおいて行った。

図7A及び7Bは、エンコーダ18の例示的な実施形態の概略表示を提供している。ラッチ70からのエンコードされる8ビットパラレルデータD[7:0]が、遷移カウンタ74の7個の排他的ORゲート240に提供されることが看取される。排他的ORゲート240の出力は、全加算器242, 244, 246及び248の組に提供される。全加算器248のキャリー出力(C)は、COUNTライン78に対応し、データD[7:0]のビットの間に4未満の論理遷移が存在したか否かを示す。ラッチ70から帯域外コマンドを受信している場合には、NORゲート260に繋がるコマンドライン(CX_CMD)が立ち上げられて、COUNTライン78によってCABIロジック90の内部でD[7:0]の偶数ビットが反転されるのを阻止するようになっている。そうでない場合には、ラッチからのデータD[7:0]が本発明に従ってエンコードされてい

るときに、NORゲート260の出力78'は、COUNTライン78の論理値に追従する。

図7Aに示されているように、この例示的な実施例においては、CABIロジック90は、複数のNORゲート270からなっている。各々のNORゲート270は、COUNTライン78'に結合された一つの入力と、D[7:0]の偶数ビットの一つに接続された別の入力とを含む。CABIロジック90の出力は、デイスパリティチェッカー96 (図7B) の入力に結合された、中間ラッチ94に提供される。

図7Bに転じると、デイスパリティチェッカー96は、条件によりビット反転され

たバイトE[7:0]の中における"11"の出現を判定するための、4個のANDゲート290-293を含んでいる。同様に、E[7:0]内部での"00"の出現を検出するために、4個のNORゲート296-299が備えられている。E[7:0]内部での"01"及び"10"のパターンは、1と0を等しい数含んでいるという意味において、既に「直流平衡」されているから、図7Bの回路により実行される直流平衡プロセスに際して、こうしたパターンを検出する必要性は存在しない。ANDゲート290-293により検出された"11"の出現をカウントするために、第一の全加算器302と第一の半加算器306が配置されている。同様の仕方、NORゲート296-299により検出された"00"の出現をカウントするために、第二の全加算器308と第二の半加算器312が配置されている。全加算器316と318の第一の対は、カウントされた"11"と"00"の出現回数の差を判定する。

直流平衡モジュール98は、3個の入力NORゲート330と、第一の排他的ORゲート332と、ラッチ336と、第二の排他的ORゲート338とを含んでいる。全加算器316と318によって、"11"と"00"の出現回数が等しいと判定された場合、E[8]の補数がT[9]の値を決定し、従ってバイトE[7:0]がCTBIロジック100により反転されたか否かを決定する。カウントされた"00"と"11"の出現回数が等しくない場合には、T[9]の値はXORゲート332の出力からなる。この点について、XORゲート332の第一の入力342は全加算器316及び318の対によって生成された最上位ビット(MSB)からなり、これは現在のディスパリティ D_{cur} (即ちE[7:0]における"1"と"0"の数の差)のMSBに等しい。XORゲート332に対する第二の入力344は、累積的ディスパリティ D_{cum} のMSBに対応する。図7Bにより示さ

れているように、累積的ディスパリティを格納するためのラッチ99は、3個のレジスタ350-352からなっている。累積的ディスパリティは、全加算器356と358の逆向きの連鎖、3個の排他的ORゲート360-362の組、及び対応する3個の全加算器365-367の組からなる、ディスパリティ更新器108によって更新される。最後に、CTBIロジック100が、8個の排他的ORゲート374の組を含んでいる。

図8A及び8Bは、デコーダ同期化モジュール114の好ましい実施形態の概略的な表示を提供している。図8Aにおいて、L3[9:0]、L2[9:0]及びL1[9:0]のそれぞれを

格納するための、10ビットのラッチ150,154及び158の各々は、10個のDフリップフロップのアレイを用いて実現することができる。L3[9:0],L2[9:0]及びL1[9]に対応する21ビットのウィンドウの中に含まれる隣接ビットの排他的否定論理和を取るために、複数のXNORゲート402が備えられている。次にXNORゲート402のグループA、グループB、グループC、及びグループDの出力はそれぞれ、"1"カウンタ172,174,176及び178に提供されている。図8Aに示されているように、条件Iの存在は、4個のNANDゲート410-413からなるランダム論理190aによって検出される。

次に図8Bに転じると、条件IIの存在が、参照番号190bにより識別されたランダム論理構成によって識別される。ランダム論理190bは、10個のXORゲート422の組を含み、これらの出力は図示のように、NANDゲート426及び428に提供される。NANDゲート426及び428の出力は、NORゲート430の入力に結合され、その出力は条件IIが満たされる場合に論理"1"に駆動される。最後に、ANDゲート440の出力(SYNC SIG)の論理状態が、条件I及び条件IIが満足されたか否か（即ち同期が達成されたかどうか）を示すことになる。そうであれば、L3[9:0]とL2[9]の中の隣接するビットが、ANDゲート450の組によって論理積を取られる（図5のステップ196）。その出力PTR[9:0]はフレーム境界ポイント118からなり、これはデコーダ44に対し、伝送された10ビット文字T[9:0]の各々の最初のビットT[0]に対して、ビットラインRX[9:0]のどれが対応するのかを通知する。

好ましい実施例についての以上の説明は、当業者が本発明の製造又は使用をすることができるように提示されたものである。当業者には、これらの実施例の種々

の変形が容易に想起可能であり、本明細書に定義した一般的な原理は、発明力を用いることなしに、他の実施形態に適用することができる。従って本発明はここに示した実施例に限定されることを意図するものではなく、本明細書に開示した原理及び新規な特徴と矛盾しない、最も広い範囲を与えられるべきものである。

【図1】

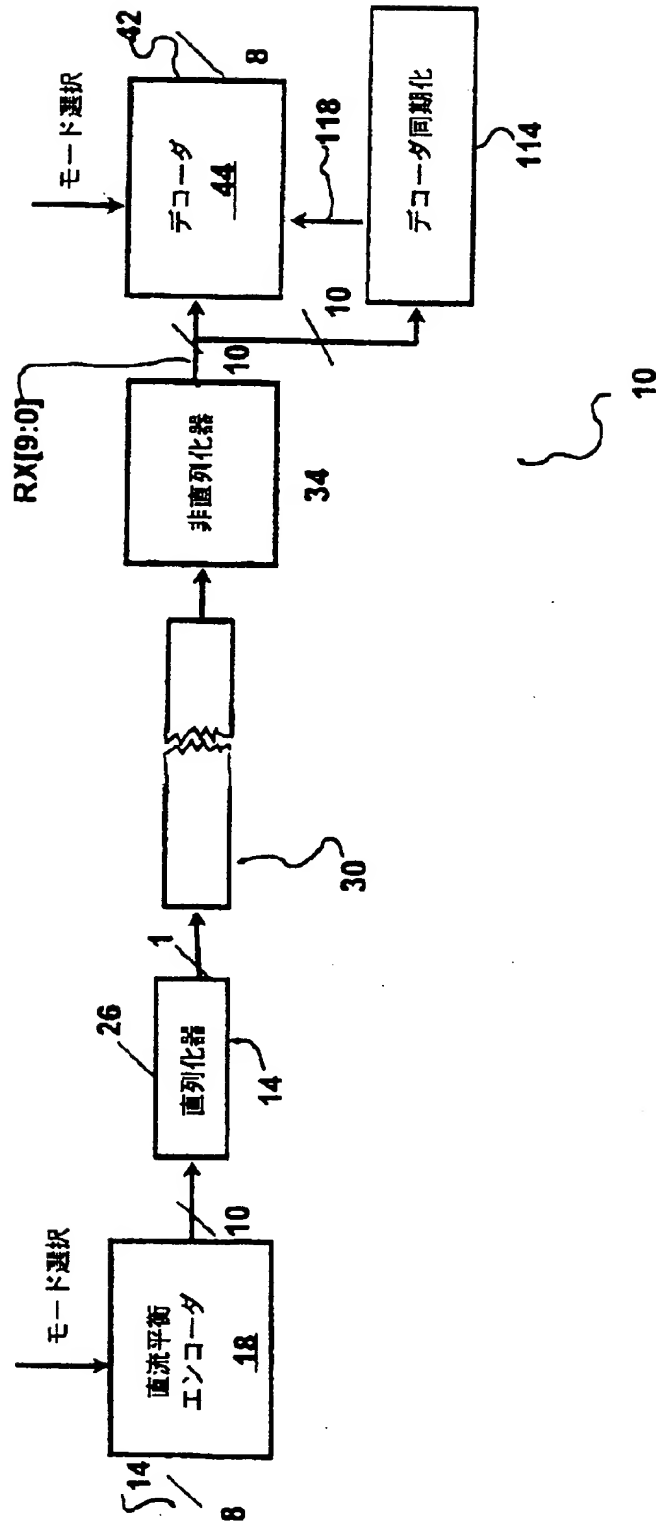


FIG. 1

【図2】

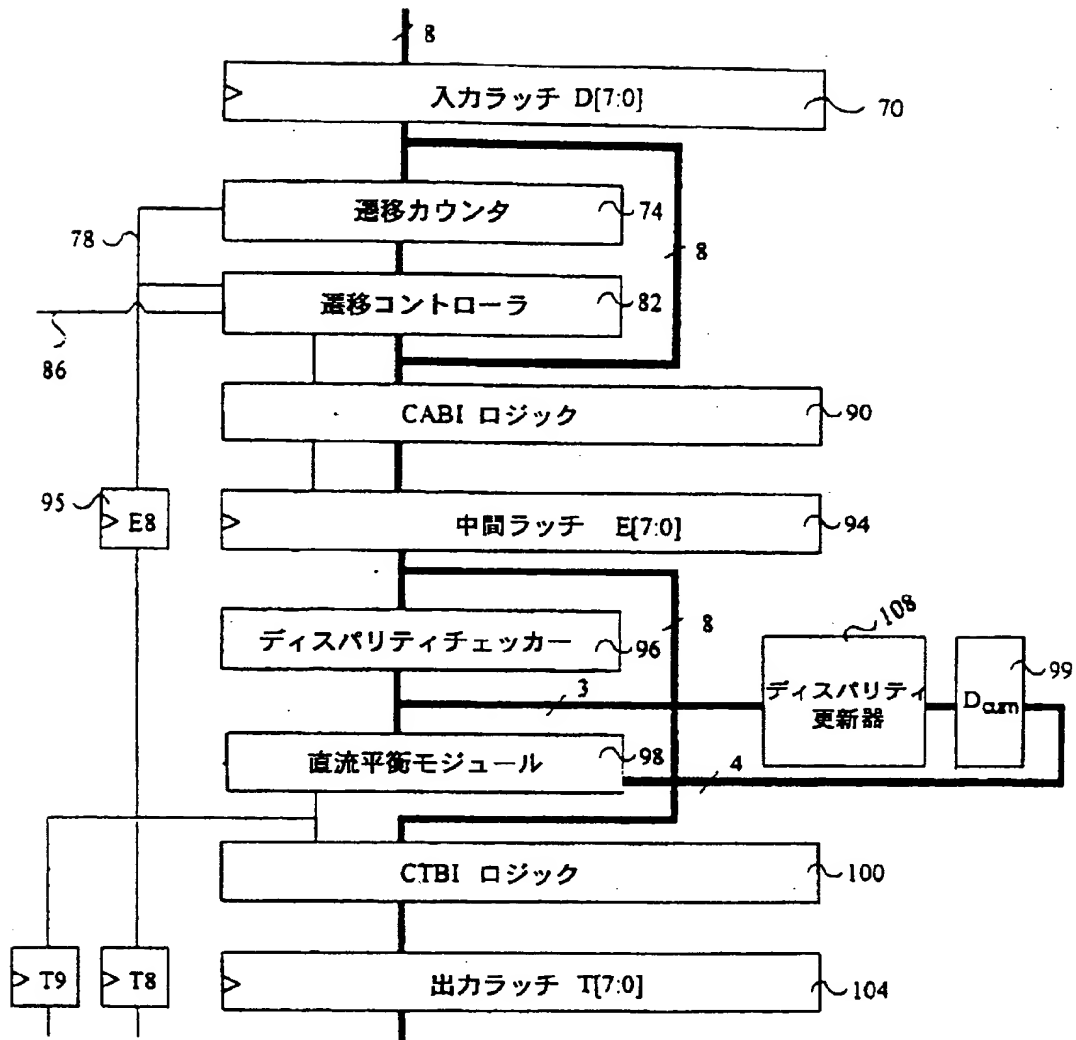


FIG. 2

【図3】

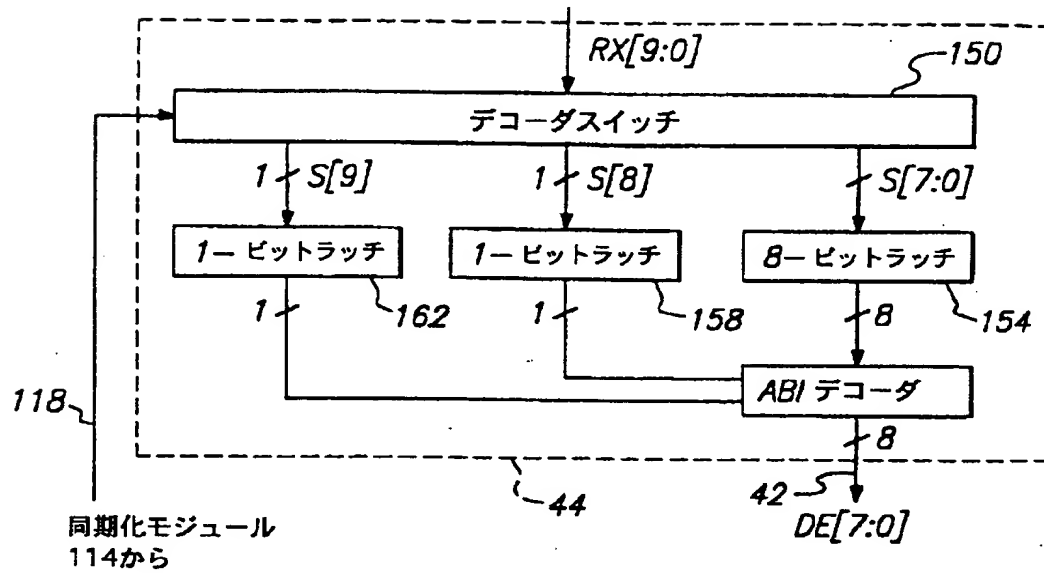


FIG. 3

【図4】

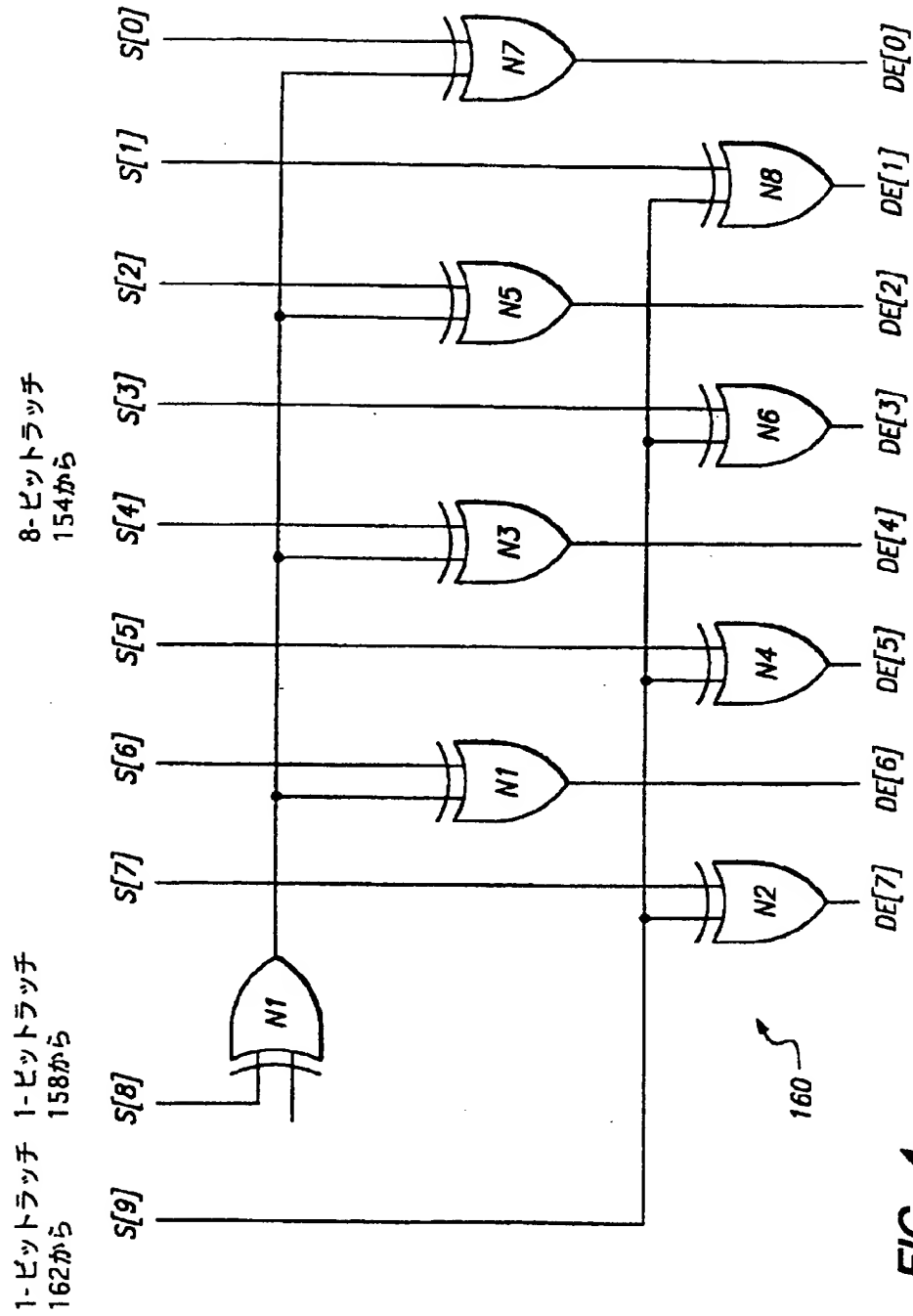
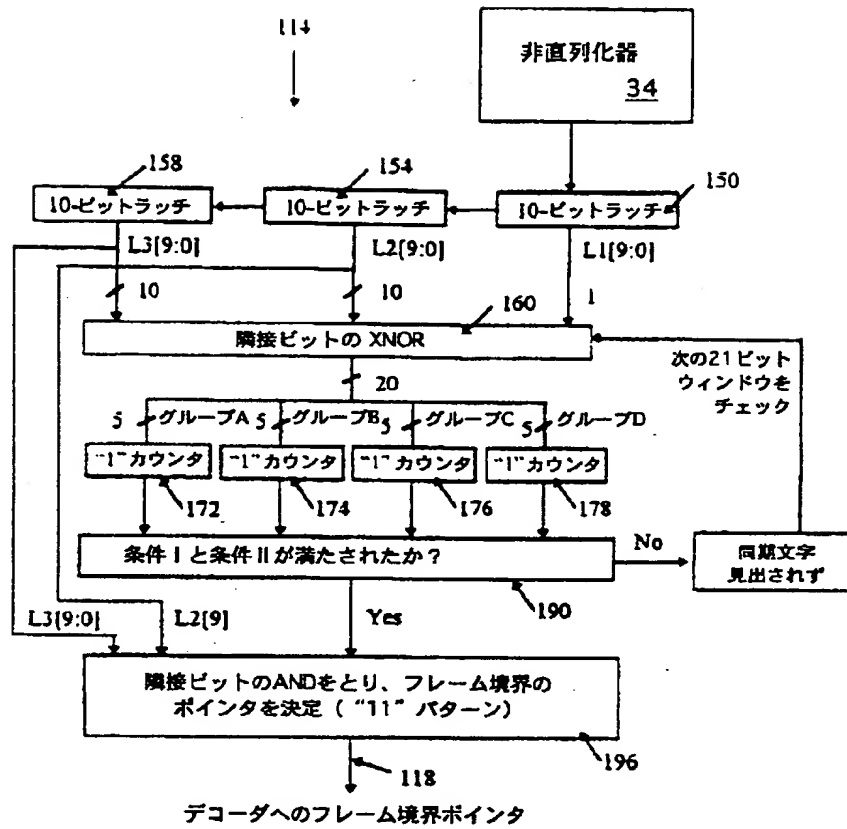


FIG. 4

FIG. 5



【図6】

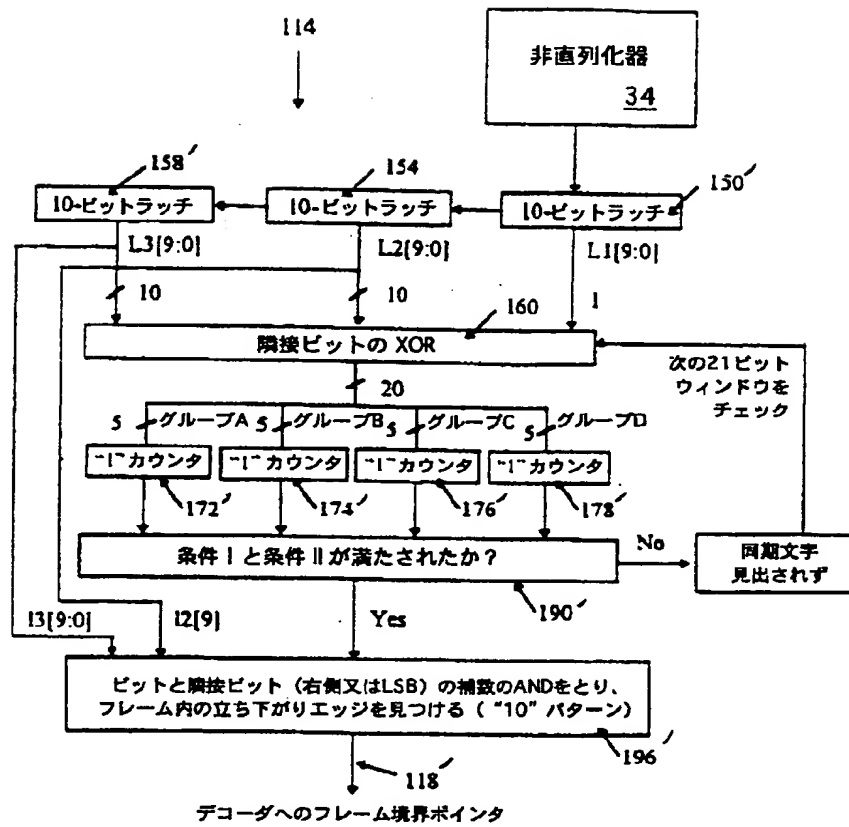
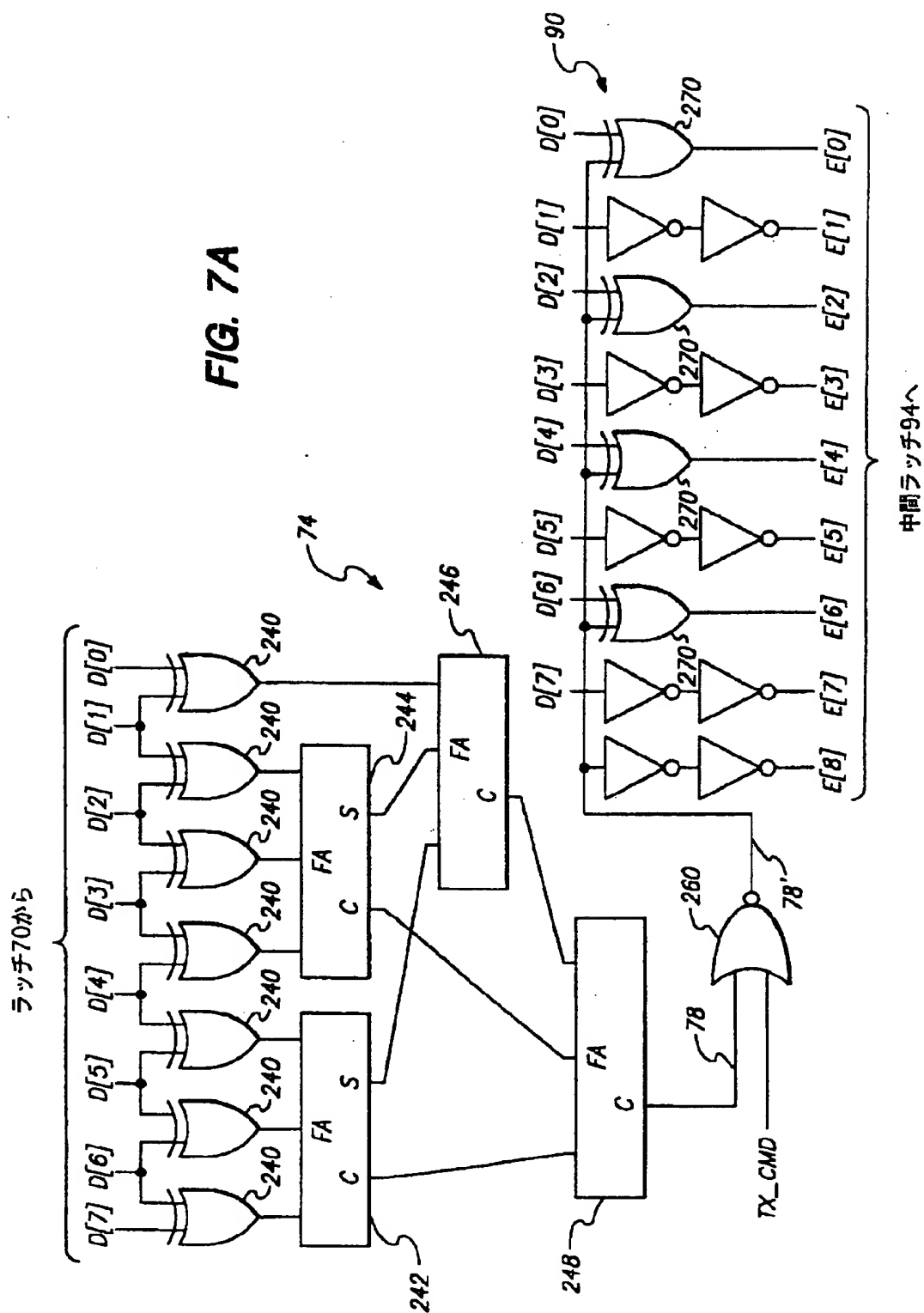


Fig. 6

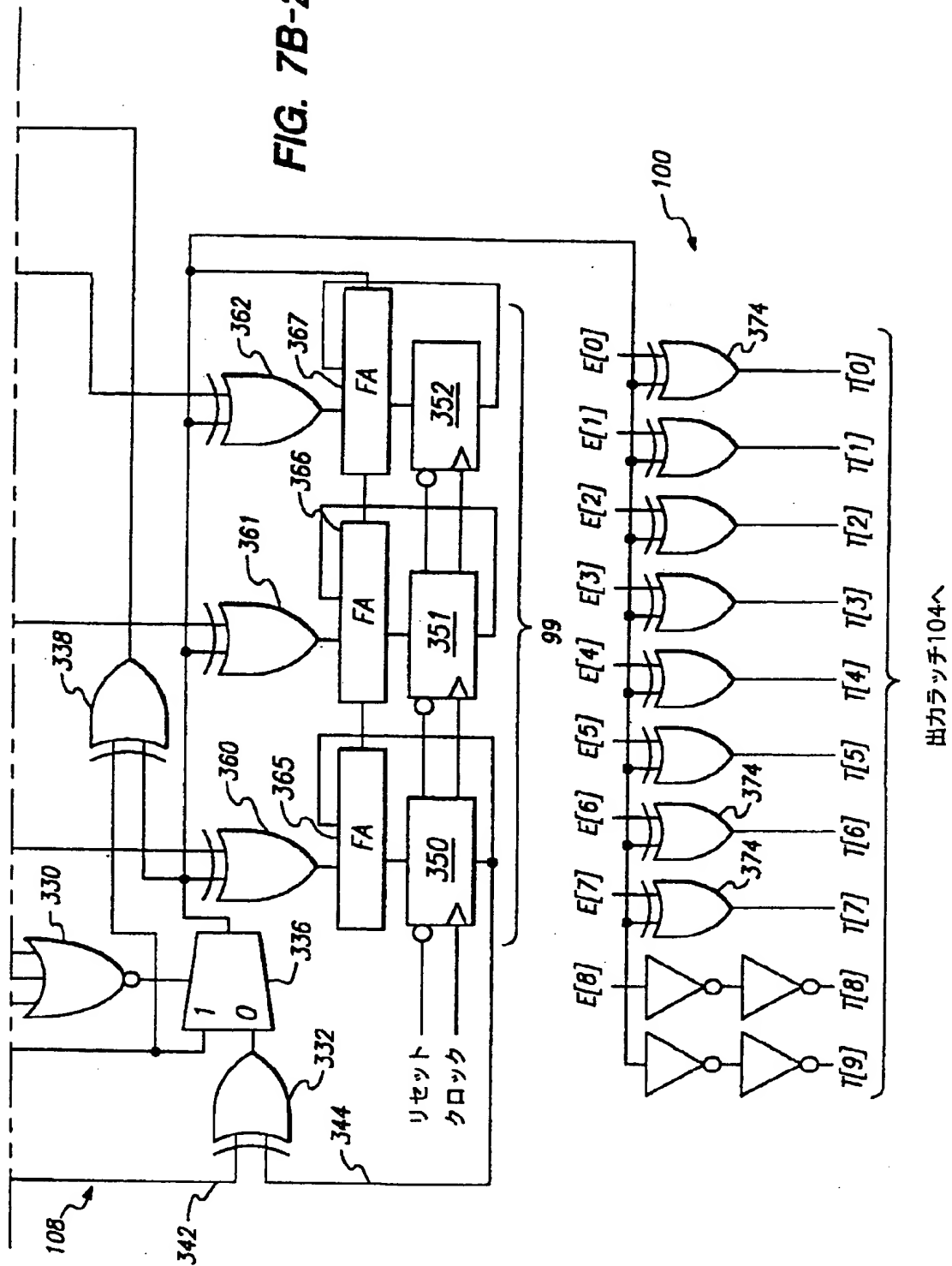
【图 7】

FIG. 7A



【図7】

FIG. 7B-2



【図8】

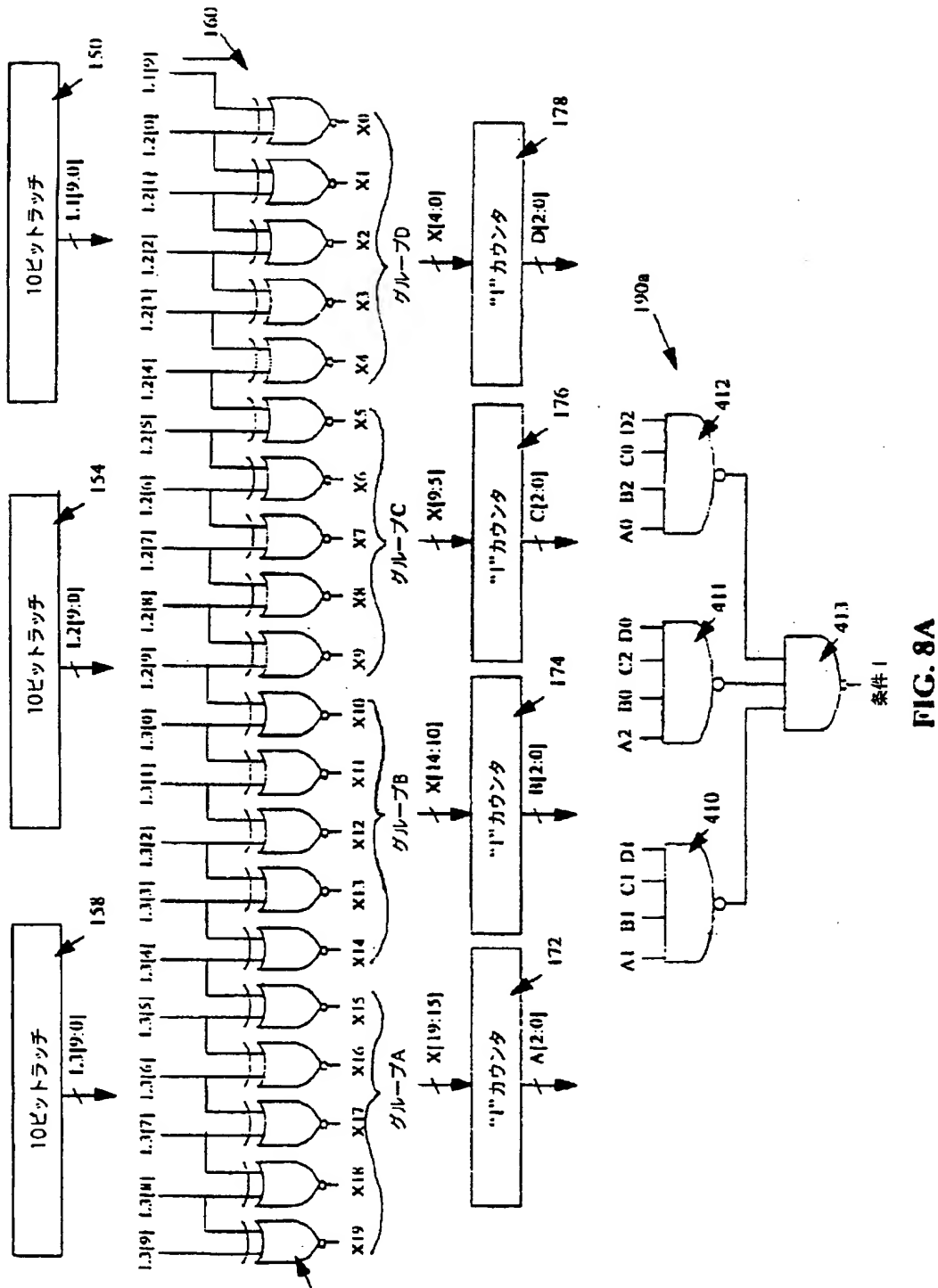


FIG. 8A

デコ—ダ44へのフレーザーム境界ポインタ

FIG. 8B

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Internat. Application No.
PCT/US 96/15661

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H04L25/49 H04L25/08

According to International Patent Classification (IPC) or to both national classification and IPC:

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H04L H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 92 22150 A (NORTHERN TELECOM) 10 December 1992 see abstract; figures 3,4 see page 1, line 26 - page 2, line 2 see page 2, line 8 - line 11 see page 2, line 17 - line 20 see page 4, line 11 - line 26 see page 8, line 5 - line 12	1,2, 4-10, 12-16,35
A	---	3,11
A	EP 0 556 981 A (ADVANCED MICRO DEVICES) 25 August 1993 see page 2, line 3 - line 7 see page 2, line 19 - line 21 see page 2, line 47 - line 53; table 1 ---	1-16
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"A" document member of the same patent family

Date of the actual completion of the international search

8 April 1997

Date of mailing of the international search report

10.06.97

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tlx 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

SCRIVEN P.

INTERNATIONAL SEARCH REPORT

 Intern. Application No
 PCT/US 96/15661

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	ELECTRONICS LETTERS, vol. 19, no. 6, March 1983, STEVENAGE GB, pages 202-203, XP000670400 WIDMER & FRANASZEK: "Transmission code for high-speed fibre-optic data networks" see abstract; figure 1 see page 202, right-hand column, paragraph 3 see page 202, right-hand column, paragraph 5	1-16
A	--- WO 88 06384 A (UNIVERSITY OF ILLINOIS) 25 August 1988 see abstract; figure 1 see page 1, line 14 - line 20 see page 2, line 11 - line 25 see page 8, line 30 - page 9, line 6 see page 9, line 26 - line 29 -----	1-16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 96/ 15661

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-16, 35

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 96/ 15661

FURTHER INFORMATION CONTINUED FROM PCT/ISA/210

1. claims 1-16,35: DC balanced encoding, in particular, for serial transmission, of eight bit words, allowing control of the number of transitions in the code words
2. claims 17-26: transmission of data and control signals, using a code which distinguished data and control code words on the basis of the number of transitions
3. claims 27-34: detection of the boundary of a synchronisation character

INTERNATIONAL SEARCH REPORT

 Item: # Application No
 PCT/US 96/15661

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9222160 A	10-12-92	US 5200979 A	06-04-93
		CA 2109428 A	07-12-92
		DE 69216111 D	30-01-97
		DE 69216111 T	17-04-97
		EP 0610204 A	17-08-94
		JP 6503217 T	07-04-94
EP 0556981 A	25-08-93	US 5387911 A	07-02-95
		JP 5284180 A	29-10-93
WO 8806384 A	25-08-88	US 4864303 A	05-09-89
		EP 0417072 A	20-03-91
		JP 2502148 T	12-07-90

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, UG), UA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, UZ, VN

(72)発明者 キム, ソンヨン

大韓民国ソウル, セオチョーグ, セオチョードン, ムジガエオ・アパートメント・5-1107

(72)発明者 リー, デイビッド, ディー

アメリカ合衆国カリフォルニア州94306, バロ・アルト, レッドウッド・サークル・3715

【要約の続き】

タブロック内のビットは選択的に補数を取られて、かかる選択的に補数の取られたデータブロックの各々が、最大数を越える論理遷移を含むようにされる。低遷移動作モードにおいては、事前定義数を越える論理遷移を有するデータブロック内のビットは選択的に補数を取られて、かかる選択的に補数の取られたデータブロックの各々が、最大数未満の論理遷移を含むようにされる。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.